

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425742.0

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Anmeldung Nr:
Application no.: 02425742.0
Demande no:

Anmeldetag:
Date of filing: 29.11.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Manufacturing method for a semiconductor substrate comprising at least a buried
cavity and devices formed with this method

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL
PT SE SK TR

Titolo: Metodo per fabbricare un substrato semiconduttore comprendente almeno una cavità sepolta e dispositivi realizzati con questo metodo.

DESCRIZIONE

5 Campo di applicazione

La presente invenzione fa riferimento ad un metodo per fabbricare un substrato semiconduttore comprendente almeno una cavità sepolta.

10 Più specificatamente l'invenzione si riferisce ad un metodo per fabbricare un substrato semiconduttore di un primo tipo di concentrazione comprendente una cavità isolante sepolta.

L'invenzione fa altresì riferimento a dispositivi realizzati con il metodo secondo l'invenzione.

15 L'invenzione riguarda in particolare, ma non esclusivamente, un metodo per fabbricare un substrato semiconduttore comprendente microcanali sepolti e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Arte nota

20 Come è ben noto, le sempre crescenti esigenze di velocità circuitale, che interessano attualmente la maggior parte delle applicazioni dell'elettronica, in particolare a radio frequenza e la necessità di realizzare strutture meccaniche integrate su chip (MEMS Micro Electro-Mechanical System), rendono sempre più frequente l'utilizzo di substrati SOI (Semiconductor On Insulator). Infatti la maggior parte delle limitazioni nelle prestazioni dei circuiti elettronici sono dovute agli
25 effetti di dispersione ed agli effetti parassiti che si vengono a creare tra i dispositivi integrati e il substrato.

Una prima soluzione tecnica nota per isolare i dispositivi elettronici integrati su semiconduttore, prevede di creare al di sotto di tali dispositivi delle sacche fortemente drogate dette "buried" che creano

delle zone di svuotamento di carica in modo da bloccare il flusso di cariche verso il substrato.

5 Pur vantaggiosa sotto vari aspetti, questa prima soluzione presenta vari inconvenienti. Infatti, con l'incremento delle frequenze di funzionamento dei circuiti, tale soluzione non riesce a soddisfare le specifiche di isolamento necessarie al corretto funzionamento dei singoli dispositivi.

Come già accennato una seconda soluzione prevede invece l'impiego di substrati di tipo SOI, la cui struttura è raffigurata in figura 1.

10 In particolare, una struttura SOI comprende un primo substrato 1 ed un secondo substrato 2 tra loro isolati da uno strato di ossido 3. Una tale struttura permette di isolare elettricamente il primo substrato 1, dove vengono integrati tutti i dispositivi, dal secondo substrato 2.

15 Risulta evidente che le correnti di dispersione tra il primo ed il secondo substrato sono pressoché annullate e gli effetti di capacità parassite sono ridotti, e quindi si possono integrare dispositivi che lavorano con frequenza di taglio superiori a quelle che vengono utilizzate convenzionalmente.

20 Come detto le strutture SOI hanno anche un notevole impiego nelle applicazioni di tipo MEMS e MOEMS (Micro Optical-Electro-Mechanical System), per la realizzazione di strutture sospese, in quanto è possibile rimuovere selettivamente lo strato di ossido sepolto dato che lo si utilizza come strato sacrificale.

25 Tuttavia la realizzazione delle strutture SOI è piuttosto costosa e incide in maniera pesante sul calcolo del costo finale del prodotto finito. Inoltre tali processi di fabbricazione sono piuttosto critici comportando una notevole diminuzione di resa, sia per via dei difetti strutturali, sia per la diminuzione di area effettivamente utilizzabile.

Vengono ora descritti le fasi di processo principali di un processo di fabbricazione convenzionale delle strutture SOI.

30 Un primo ed un secondo substrato 1, 2 vengono ossidati

superficialmente, in modo tale che lo spessore dello strato di ossido 3 così ottenuto sulla superficie dei due substrati 1, 2 sia all'incirca la metà dello spessore di quello finale come mostrato in figura 2.

5 Dopo aver effettuato una fase di lappatura delle superfici che verranno a contatto, il primo ed il secondo substrato 1, 2 vengono prima allineati con precisione micrometrica, quindi vengono posti a contatto superficiale. Tramite una pressione effettuata da un grave in modo da eliminare l'aria tra gli strati di ossido 3 appartenenti a due substrati si ottiene una perfetta adesione come mostrato in figura 3.

10 Il primo ed il secondo substrato 1, 2 vengono sottoposti a un processo termico ad alta temperatura ($1100 \div 1200^{\circ}\text{C}$) che permette il riflusso dello strato di ossido 3 e quindi la saldatura definitiva dei due substrati (figura 4).

15 La struttura SOI così ottenuta viene rettificata in superficie e lappata per ottenere la superficie pronta per l'integrazione dei dispositivi elettronici. Lo spessore del primo substrato viene portato al valore prescelto, che varia a seconda delle applicazioni utilizzate come mostrato in figura 5.

20 Anche il processo può apparire semplice, tuttavia il costo elevato della singola struttura SOI è dovuto alla bassa resa. Infatti affinché la struttura SOI sia utilizzabile l'allineamento dei due substrati 1, 2 deve essere praticamente perfetto, l'ideale sarebbe il mantenimento della orientazione cristallografica sia nei substrato che nella struttura SOI.

25 Inoltre i processi termici creano una serie di fenomeni di stress che danno luogo al cosiddetto effetto "Warp". Tale effetto provoca un incurvamento della struttura SOI a causa di una diminuzione del raggio di curvatura di oltre un ordine di grandezza. Questo effetto "Warp" risulta ancor più accentuato se si rimuove lo strato di ossido del retro della struttura SOI, che bilancia almeno parzialmente l'effetto "Warp"

30 indotto sulla struttura SOI dallo strato 3 di ossido presente sul primo substrato 1. La rimozione di questo strato di ossido 3 è abbastanza comune nella maggior parte dei dispositivi. in cui è presente il contatto

sul retro. In alcune strutture SOI l'incurvamento è talmente accentuato da creare problemi nella fotolitografia sia in fase di allineamento che in quella di focalizzazione. Inoltre in alcuni casi l'effetto "Warp" della struttura SOI non permette la tenuta del sistema da vuoto.

5 Risulta quindi dispendioso dal punto di vista economico garantire dei
strutture SOI con delle caratteristiche con strette tolleranze sia dal
punto di vista di spessori, uniformità e di effetto "Warp". Inoltre per ogni
struttura SOI bisogna tenere in considerazione la corona circolare
10 esterna di ossido detta "terrace", che riduce il diametro della zona
effettivamente utilizzabile per l'integrazione di oltre 1 cm. Anche questo
parametro influisce negativamente sulla resa per wafer, in maniera
maggiore sui substrati di piccole e medie dimensioni (4, 5 e 6 pollici), e
in maniera più contenuta sui substrati di grandi dimensioni (8 e 12
pollici).

15 Un secondo metodo per realizzare dei substrati qualitativamente
migliori, ma ancora più costosi, sfrutta il cosiddetto metodo SIMOX, le
cui fasi principali sono riportate di seguito.

20 Con particolare riferimento alle figure da 6 a 9, è mostrato un substrato
semiconduttore 4 in cui vengono impiantati ioni ossigeno ad alta
energia e con forti dosi. Lo strato impiantato 5 che si realizza si
posizione a circa 1 μm dalla superficie.

25 Viene quindi effettuato un annealing ad altissima temperatura in
atmosfera inerte per la diffusione degli ioni impiantati e per il ripristino
delle caratteristiche cristalline dello strato superiore del substrato
semiconduttore 5 danneggiato dall'impianto di ioni, con conseguente
allargamento della zona che diverrà lo strato di ossido della struttura
SOI.

30 Una ulteriore fase di annealing ad altissima temperatura in atmosfera
ossidante viene effettuata per realizzare l'ossidazione dello strato sepolto
5 e completare lo strato di ossido 5' della struttura substrato SOI.

Viene quindi rimosso lo strato di dell'ossido superficiale 6 per

completare della struttura SOI definitiva.

Anche se il metodo SIMOX permette di ottenere dei substrati migliori, dal punto di vista delle caratteristiche fisico-meccaniche, questo processo è come detto piuttosto costoso. Inoltre ci sono delle limitazioni
5 sugli spessori ottenibili, infatti lo spessore dello strato sepolto di ossido non supera i 500 nm, e la struttura SOI complessiva non supera il micron.

Rispetto al primo metodo per realizzare le strutture SOI, quest'ultimo metodo consente una migliore tolleranza degli spessori, una maggiore
10 uniformità, l'assenza della terrace, e quindi maggiore superficie esposta a parità di dimensioni del wafer, ed infine le strutture SOI così realizzate sono affette in minor misura dall'effetto "Warp".

Il problema tecnico che sta alla base della presente invenzione è quello di realizzare una struttura comprendente uno strato di isolamento
15 sepolto a basso costo che riesca a fornire delle buone caratteristiche fisico-meccaniche ed una ampia scelta di spessori dello strato di ossido sepolto e della struttura finale, superando le limitazioni e gli inconvenienti che tuttora limitano le strutture SOI realizzate secondo l'arte nota.

20 Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di realizzare cavità in un substrato semiconduttore a partire da
strutture a trench in esso realizzate sfruttando le proprietà del processo di migrazione superficiale auto organizzante del silicio.

25 Sulla base di tale idea di soluzione il problema tecnico è risolto da un metodo del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 18.

Il problema è altresì risolto da dispositivi del tipo precedentemente
30 indicato e definiti dalla parte caratterizzante delle rivendicazioni 1, 9, 13 e 14.

Le caratteristiche ed i vantaggi del dispositivo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

5 Breve descrizione dei disegni

In tali disegni:

- le figure da 1 a 5 sono rispettive viste schematiche in sezione di una porzione di substrato semiconduttore durante le successive fasi di un primo metodo di fabbricazione di strutture SOI secondo l'arte nota,
- 10 - le figure da 6 a 9 sono rispettive viste schematiche in sezione di una porzione di substrato semiconduttore durante le successive fasi di un secondo metodo di fabbricazione di strutture SOI secondo l'arte nota,
- le figure da 10 a 16 sono rispettive viste schematiche di una porzione di substrato semiconduttore durante le successive fasi di un metodo di
- 15 fabbricazione di strutture SOI secondo l'invenzione,
- le figure da 17a a 17f sono rispettive viste schematiche di un trench realizzato in un substrato semiconduttore durante le successive fasi di un metodo di fabbricazione secondo l'invenzione,
- le figure da 18a a 18d sono rispettive viste schematiche di una
- 20 pluralità di trench realizzati in un substrato semiconduttore durante le successive fasi di un metodo di fabbricazione secondo l'invenzione,
- le figure 19 e 20 sono rispettive viste schematiche di un trench realizzato in un substrato semiconduttore durante le successive fasi di un metodo di fabbricazione secondo l'invenzione,
- 25 - la figura 21 mostra una visione dall'alto di un substrato semiconduttore realizzato secondo l'invenzione,
- la figura 22 mostra, in funzione della profondità L e del raggio R di trench che si formano nel substrato, il numero di sfere vuote che si formano all'interno dello strato semiconduttore a seguito del processo di

migrazione superficiale auto organizzante del silicio

- le figure 23 e 24 mostrano possibili geometrie di cavità ottenibili a partire da trench diversamente disposti,
- la figura 25 mostra una curva della caratteristica tensione corrente in funzione della concentrazione e del tipo di drogaggio di un substrato semiconduttore durante la fase di trasformazione del silicio cristallino in silicio poroso,
- le figure da 26a a 26f sono rispettive viste schematiche di una prima forma di realizzazione del metodo di fabbricazione secondo l'invenzione,
- le figure da 27a a 27g sono rispettive viste schematiche di una seconda forma di realizzazione del metodo di fabbricazione secondo l'invenzione,
- le figure da 28a a 28c sono rispettive viste schematiche di una terza forma di realizzazione del metodo di fabbricazione secondo l'invenzione,
- le figure da 29a a 29e sono rispettive viste schematiche di una prima forma di realizzazione del metodo di fabbricazione secondo l'invenzione.

Descrizione dettagliata

Con riferimento alle figure, viene ora descritto un metodo di fabbricazione di strutture SOI secondo l'invenzione.

- In particolare, come mostrato in figura 10, mediante una tecnica fotolitografica convenzionale, su un substrato 7 semiconduttore vengono realizzati plurimi trench 8.

- Il substrato 7 semiconduttore è realizzato da un wafer di silicio cristallino con qualsiasi orientazione cristallografica di tipo P, ad esempio drogato con ioni accettori con concentrazione compresa tra $1E13$ e $5E20$ [cm^{-3}] (tipo P-, P, P+, P++, etc.). Alternativamente substrato 7 semiconduttore è drogato con ioni donori con concentrazione ad esempio compresa tra $1E13$ a $5E20$.

Nel caso in cui il substrato 7 è di tipo N-, viene formato uno strato epitassiale di tipo N⁺ sul substrato 7. Lo spessore dello strato epitassiale formato potrà variare di parecchi micron, a seconda del tipo di applicazione scelta.

- 5 In una prima forma di realizzazione i trench 8 sono delle scanalature equispaziate realizzate nel substrato 7, ad esempio, di larghezza compresa tra 0.3 e 5 μm , mentre la profondità è compresa tra 1 e 40 μm , la distanza tra due trench 8 è compresa, invece, tra 10 e 40 μm .

- 10 Come mostrato in figura 12, dopo aver realizzato i trench 8 viene realizzato uno strato 9 di materiale semiconduttore sulla superficie del substrato 7. Tale strato 9 di materiale semiconduttore è realizzato in modo da non richiudere completamente i trench 8, in modo da dar luogo ad uno strato superficiale planare.

- 15 Tale strato 9 di materiale semiconduttore è realizzato ad esempio mediante epitassia.

- 20 Lo strato 9 di materiale semiconduttore è dello stesso tipo di drogante e con la stessa concentrazione di impurezze del substrato 7 (relativamente al caso di substrato 7 di tipo P) o del primo strato epitassiale realizzato (nel caso di substrato di tipo N-). Lo spessore di questo strato 9 di materiale semiconduttore è ad esempio compreso tra 1 e 10 μm .

Per realizzare la chiusura parziale dei trench 8 è anche sfruttabile il processo di migrazione superficiale auto organizzante del silicio.

- 25 In particolare, nel substrato 7 si realizzano trench 10 a sviluppo cilindrico di diametro compreso, ad esempio, tra 0.2 e 2 μm ed una profondità compresa tra 2 e 30 μm come mostrato in figura 11.

Nulla vieta comunque di realizzare dei trench 8 che si sviluppano con linee parallele, come mostrato ad esempio in figura 10.

- 30 Dopo aver realizzato i trench 10 nel substrato viene effettuato un processo di annealing ad alta temperatura, ad esempio tra

1000°C÷1300°C, in ambiente non ossidante, ad esempio H₂, approssimativamente per alcune decine di minuti.

5 Nel substrato 7 avviene una riorganizzazione strutturale degli atomi verso stati a minima energia, per cui il trench 10 a sviluppo cilindrico si trasforma in una cavità 10a sferica sepolta in corrispondenza dell'estremità del trench distale dalla superficie e formando uno strato superficiale 7a sulle cavità.

In particolare, il processo termico di annealing modifica la morfologia dei trench 10 come mostrato nelle figure da 17a a 17f.

10 Questo processo di migrazione superficiale auto organizzante del silicio presenta anche dei vantaggi rispetto ai metodi classici per fabbricare strutture SOI infatti non forma difetti nella struttura cristallina superiore.

15 Nel caso in cui vengano realizzati nel substrato 7 dei trench 10 molto vicini, è possibile realizzare la struttura rappresentata nelle figure da 18a a 18d in cui i trench 10 a sviluppo cilindrico si trasformano dapprima in cavità di forma essenzialmente a birillo per divenire in seguito cavità sferiche 10a che si congiungono con le cavità adiacenti formando così un unico spazio o microcanale 10b.

20 Verifiche sperimentali effettuate dalla Richiedente, hanno mostrato che indicato con R_s il raggio della sfera vuota 10a che si viene a creare alla fine del processo di annealing dal trench 10 ed indicato con R_R il raggio del trench 10 iniziale, di simmetria cilindrica, si ha:

$$R_s = 1.88 R_R.$$

25 Come mostrato in figura 19 se il trench 10 è molto profondo rispetto alla sua ampiezza il processo di auto aggregazione forma diverse sfere 10a allineate verticalmente, e detta λ la distanza tra due sfere 10a che si formano all'interno dello stesso trench 10 si risulta che λ pari a $8.89 R_R$ come mostrato in figura 20.

30 Nel digramma di figura 22 viene evidenziato, in funzione della

profondità L e del raggio R del trench 10, il numero di sfere vuote 10a che si formano all'interno dello strato 7 semiconduttore.

5 Cambiando la profondità L del trench 10, è possibile determinare il numero e il raggio delle zone vuote che si creano dopo il processo di migrazione superficiale auto organizzante del silicio all'interno del singolo trench 10.

10 Vantaggiosamente realizzando i trench 10 in modo tale che la distanza D_{NT} tra i loro centri di due consecutivi sia pari a $2R_s = 3.76 R_R$ allora ogni sfera vuota 10a che si forma si può congiungere con la prima vicina. In questo modo si possono connettere un numero illimitato di sfere vuote 10a ottenendo molteplici geometrie come mostrato nelle figure 23 e 24. La quantità D_{NT} è tipica del processo per quanto riguarda le dimensioni del microcanale 10b e lo spessore dello strato svuotato sepolto, ed è legata a tali parametri dall'equazione:

15 $R_p = (8.86 R_R^3 / D_{NT})^{1/2}$.

20 Completato il processo di chiusura dei trench 8, 10, mediante la deposizione dello strato 9a superficiale o mediante il processo di annealing, il processo di fabbricazione di strutture SOI secondo l'invenzione prosegue comunque con la formazione sullo strato 7a, 9a superficiale dello strato 9 di materiale semiconduttore che forma lo strato di substrato finale della struttura SOI finale.

Il tipo di drogaggio e la concentrazione di questo strato 9 di materiale semiconduttore sono opportunamente scelti in base all'applicazione.

25 Se il substrato 7 di partenza è di tipo N- tra questo strato 9 di materiale semiconduttore ed i microcanali è presente lo strato epitassiale di tipo N.

30 Come mostrato in figura 13 nello strato 9 di materiale semiconduttore si realizzano una serie di trench 11 ortogonali alla prima serie di trench 8 o microcanali 10b. Tali trench 11 sono profondi fino al punto da intersecare i microcanali 10b.

La distanza tra questi trench 11 ortogonali dipende dalla dimensione del dispositivo, o del circuito, che si vuole integrare sulla struttura SOI (anche diversi mm).

5 La struttura così ottenuta subisce una fase di trasformazione di uno strato 10c comprendente i microcanali 10b in un strato di silicio poroso. In particolare, la struttura viene sottoposta ad un processo elettroerosivo del silicio cristallino in un bagno in soluzione acquosa di acido fluoridrico. In questo modo lo strato 10c comprendente i microcanali 10b si trasforma in un strato 12 di silicio poroso.

10 Il processo elettrochimico avviene in una cella in cui lo strato 10c di silicio cristallino rappresenta l'elettrodo positivo, mentre il catodo è un elettrodo metallico.

15 In particolare, fissata una tensione di lavoro, negli strati di tipo N⁻ non si ha formazione di silicio poroso, perché è come se si realizzasse una giunzione polarizzata inversamente che impedisce il passaggio della corrente. Viceversa nella porzione di substrato di tipo P⁺, N⁺ e P⁻, a parità di tensione si ha formazione di silicio poroso, perché è come si realizzasse una giunzione polarizzata direttamente che permette il passaggio della corrente chiudendo il circuito elettrico che si viene a creare. Nulla vieta di operare in maniera selettiva tra zone P⁺ ed N⁺, basta semplicemente definire in maniera corretta i parametri di processo.

20 Il diagramma di figura 25 mostra una curva della caratteristica tensione corrente in funzione della concentrazione e del tipo di drogaggio, che chiarisce il fenomeno della selettività del processo di formazione del silicio poroso.

25 Dopo l'attacco elettrochimico la struttura che si ottiene è quella di figura 14 in cui lo strato 10c di silicio di tipo N⁺ in cui si sono realizzati i microcanali 10b viene trasformato in uno strato 12 di silicio poroso.

30 La struttura ottenuta comprendente quindi, su un substrato 7 di silicio cristallino, uno strato 12 di silicio poroso attraversato da una serie di

5 microcanali 10b equispaziati, sopra il quale è presente uno strato 9 di
materiale semiconduttore su cui è possibile effettuare l'integrazione di
dispositivi e circuiti. Lo strato 9 di materiale semiconduttore
attraversato da una serie di trench 11 ortogonali ai microcanali 10b che
intersecandosi creano una rete di canali che permette una permeazione
della soluzione elettrochimica durante il processo di elettroerosione, e la
fuoriuscita dei prodotti di reazione del processo di formazione del silicio
poroso. Successivamente gli stessi canali 11 serviranno per il trasporto
dei gas necessari per l'ossidazione, o il trattamento termico dello strato
10 12 di silicio poroso.

Una schema della struttura ottenuta vista dall'alto è quello di seguito
riportato in figura 21.

15 Come mostrato nelle figure 15 e 16, la struttura così ottenuta viene
ulteriormente sottoposta ad un processo di ossidazione, ad esempio in
forno, e data l'elevata superficie offerta dallo strato 12 di silicio poroso
(~500 m² per cm³), la sua reattività e le piccole dimensioni delle
strutture cristalline presenti, lo strato 12 di silicio poroso viene ossidato
totalmente in un tempo estremamente minore rispetto alla rate di
ossidazione tipica del silicio cristallino formando uno strato 12a
20 dielettrico. Quindi nello stesso tempo che serve ad ossidare totalmente
lo strato 12 di silicio poroso, in superficie lo strato di ossido si viene a
creare uno strato molto sottile.

25 Dopo la fase di ossidazione si procede al riempimento dei trench 11
superficiali attraverso una fase di formazione di uno strato dielettrico,
ad esempio mediante la deposizione di uno strato di TEOS (Tetra Etil
Ortosilano), oppure mediante la deposizione di PVAPOX (). Si procede
dunque alla rimozione dello strato dielettrico superficiale,
rispettivamente per il caso di substrato di tipo N come mostrato in
figura 15 e per quello di tipo P come mostrato in figura 16. Tali trench
30 11 così riempiti rappresentano i margini di integrazione del dispositivo o
del circuito, ossia le "scribe line".

Vengono ora descritte varie forme di realizzazione dell'invenzione.

In una prima forma di realizzazione del processo secondo l'invenzione, come mostrato nelle figure da 26a a 26f, su un substrato 7 tramite una tecnica fotolitografica convenzionale di definire le geometrie dei trench 10 da realizzare.

- 5 Tramite un processo di rimozione anisotropa vengono aperti dei trench 8 e 10 di predeterminate dimensioni.

10 Si effettua una fase di annealing ad alta temperatura in ambiente di idrogeno tale da far avvenire il processo di mobilità superficiale auto organizzante, che planarizzando la superficie del substrato 7 lascia sepolto un canale 10b di sezione circolare.

Nulla vieta che tali trench 8 siano richiusi con uno strato 9a di materiale semiconduttore realizzato sul substrato 7.

15 Effettuata la "chiusura del trench " si procede alla formazione di uno strato 9 di materiale semiconduttore come mostrato in figura 26c. Tale strato 9 di materiale semiconduttore viene realizzato, ad esempio, per crescita epitassiale ed ha concentrazione di drogante diverso rispetto al substrato 7.

20 Lo strato 9 di materiale semiconduttore viene realizzato in modo da risultare selettivo durante la formazione dello strato poroso. In alternativa si deposita uno strato di polisilicio drogato, anche in questo caso rimane valido tutto quanto è stato detto per la selettività del processo di formazione dovuta al tipo ed alla quantità di drogante.

25 Tramite una fase di mascheratura ed un processo di attacco si aprono sullo strato superficiale dei trench 11, che intercettano i microcanali 10b sottostanti che avranno la funzione di ingresso/uscita dei canali come mostrato in figura 26f.

30 Come mostrato in figura 26e la struttura così realizzata viene quindi posta in un bagno di soluzione acquosa di acido fluoridrico e tramite attacco elettrochimico viene formato localmente, attorno al microcanale 10b ed in maniera isotropa, lo strato 12 di silicio poroso.

5 Tramite un attacco basico a temperatura ambiente viene rimosso selettivamente lo strato 12 di silicio poroso lasciando quindi un microcanale 10d molto più largo di quello originato dal processo termico. Nulla vieta che i trench 11 superficiali vengano realizzati dopo aver realizzato il microcanale 10d.

10 Tale forma di realizzazione risulta particolarmente vantaggiosa nel campo della microfluidica. Infatti ~~precedenza~~ sfruttando il principio della migrazione superficiale auto organizzante, e la successiva formazione selettiva del silicio poroso si realizzano dei microcanali sepolti per applicazioni tipo "lab on chip".

Una seconda forma di realizzazione del processo secondo l'invenzione mostrata nelle figure da 27a a 27g. Su un substrato 7 tramite una tecnica fotolitografica convenzionale vengono definite le geometrie dei trench 8 e 10 da realizzare.

15 Tramite un processo di rimozione anisotropa vengono aperti dei trench 10 di predeterminate dimensioni.

20 Si effettua una fase di annealing ad alta temperatura in ambiente di idrogeno tale da far avvenire il processo di mobilità superficiale auto organizzante, che planarizzando la superficie del substrato 7 lascia sepolta una porzione di microcanale 10b vuota, la cui forma dipenderà direttamente dalla geometria definita con i trench 10, coperta da uno strato 7a o membrana, realizzato interamente da silicio cristallino esente da difetti.

25 Effettuata la "chiusura termica del trench" nel caso in cui fosse necessario avere uno spessore della membrana superiore a qualche micron si può procedere senza alcun problema ad una crescita epitassiale di uno strato 9 di materiale semiconduttore in modo da raggiungere lo spessore desiderato.

30 Nel caso in cui fosse necessario avere uno spessore, e quindi un volume della cavità di microcanale 10b maggiore, diventa necessario effettuare la crescita epitassiale di un ulteriore strato avente drogaggio diverso

rispetto al substrato 7 e selettivo nella formazione dello strato 12 poroso. In alternativa si può effettuare una deposizione di polisilicio drogato. A questo punto dopo avere aperto sulla superficie dei piccoli trench 11 che arrivino a mettere in comunicazione la cavità 10b con la
5 superficie. Si effettua la formazione, tramite processo elettrochimico di anodizzazione in soluzione di HF, dello strato 12 di silicio poroso. Tale strato 12 di silicio poroso viene successivamente dissolto da un attacco basico (KOH, NaOH, etc.).

La struttura finale è mostrato in figura 27e in cui si vede, appunto, un
10 allargamento della cavità di microcanale 10d che può essere controllato a piacimento. Naturalmente i trench 11 aperti in precedenza sulla superficie dello strato 9 di materiale semiconduttore possono essere richiusi con un processo di deposizione localizzata oppure far parte integrante della geometria della membrana come nel caso di un
15 microfono.

Nel caso si voglia realizzare un microfono a condensatore come mostrato in figura 27f, dopo la costruzione della membrana 7a in silicio, viene realizzato uno strato 13 di metallizzazione. Tale strato 12 viene adeguatamente conformato mediante tecniche convenzionali. Lo strato
20 13 di metallizzazione viene deposto sulla membrana 7a, ad esempio, mediante sputtering e conformato mediante una tecnica convenzionale di fotolitografica e attacco. Lo strato 13 di metallizzazione rappresenta un primo contatto elettrico, mentre il secondo contatto è rappresentato dal porzione inferiore del substrato 7. Infatti essendo il substrato 7
25 fortemente drogato ha delle ottime caratteristiche conduttive.

Una seconda forma di realizzazione per ottenere un microfono integrato è mostrata in figura 27g. In questa seconda forma di realizzazione è prevista un'apertura 7b di comunicazione non frontale del microcanale 10b con l'ambiente, ossia dalla membrana 7a stessa, nella parte
30 retrostante del substrato 7 ottenuta realizzando una finestra 7c nel retro del substrato 7.

Nelle figure da 28a a 28c è mostrato una terza forma di realizzazione del metodo secondo l'invenzione. In particolare, viene descritto un metodo

per realizzare un sensore di pressione di tipo piezoresistivo.

Definite le caratteristiche che deve avere una membrana si procede alla definizione, tramite fotolitografia ed attacco anisotropo, di trench 10 su substrato 7.

- 5 Successivamente si effettua l'annealing ad alta temperatura per la formazione del microcanale 10b sepolto che avrà la geometria desiderata e definita in precedenza.

- 10 Dopo aver realizzato la membrana 7a si può effettuare l'ispessimento della stessa o l'ampliamento del microcanale 10b realizzando un ulteriore strato. Infine si effettua una deposizione di uno strato 14 di polisilicio o altro materiale che abbia caratteristiche piezoresistive sopra la membrana e tramite fotomascheratura ed attacco si definiscono le geometrie dei piezoresistori che effettueranno la trasduzione del segnale di variazione della pressione in segnale elettrico che può essere
15 facilmente rilevato. Uno schema della struttura di un sensore di pressione è riportato in figura 28c.

- 20 Questa terza forma di realizzazione del metodo secondo l'invenzione risulta quindi particolarmente vantaggiosa nella realizzazione di strutture sospese, come nel caso dei microfoni e dei sensori di pressione, ed in genere in ogni dispositivo che richiede una membrana 7a rigida.

- 25 Vantaggiosamente, la struttura e la geometria della membrana 7a viene realizzata con caratteristiche diverse a seconda del campo di pressioni a cui deve essere sottoposta nell'applicazione in termini di rigidità, elasticità, spessore.

Viene ora descritta una quarta forma di realizzazione del processo secondo l'invenzione per realizzare un transistor MOSFET con canale sepolto (ISFET Ion sensitivity FET).

- 30 Sul substrato 7 di silicio vengono realizzati dei trench 10 di dimensioni prestabilite. In figura 29a viene mostrata una serie di trench 10 a sviluppo cilindrico realizzati lungo due linee parallele.

Con un processo termico ad alta temperatura in ambiente di idrogeno si effettua la chiusura dei trench, in modo tale da planarizzare la superficie e lasciare un microcanale 10b sepolto.

5 Vantaggiosamente tramite un processo di formazione e rimozione selettiva di trasformazione dello strato di silicio in uno strato 12 di silicio poroso è effettuata la fase di allargamento del microcanale 10d sepolto, come mostrato in figura 29c e 29d.

10 Vantaggiosamente, sulla struttura precedentemente ottenuta si effettua una crescita epitassiale di uno strato 9 di materiale semiconduttore dello stesso tipo di materiale con cui sarà realizzato il microcanale 10b.

Successivamente vengono realizzate regioni 15 di drain e source nel substrato 7 o nello strato 9 di materiale semiconduttore se presente. Tali regioni di drain e source sono realizzate ai lati del microcanale 10c sepolto realizzato nel substrato 7.

15 Viene quindi realizzato uno strato di ossido di gate e la regione 16 di gate del MOSFET, come mostrato in figura 29d.

A questo punto si realizzano i contatti delle regioni di gate 16, drain e source 15 del MOSFET in modo convenzionale.

20 Il dispositivo realizzato avrà lontano dalla zona degli elettrodi due aperture grandi a seconda dell'applicazione e del tipo di package, che intercettano il microcanale 10b 10d sepolto e che fungono da inlet/outlet, attraverso i quali possono accedere ed uscire i gas, e le soluzioni che saranno necessari per trattare chimicamente la superficie o che dovranno essere monitorate dal sistema.

25 Naturalmente il MOSFET realizzato con il metodo secondo l'invenzione andrà polarizzato staticamente tramite contatti elettrici superficiali in zona attiva del transistor. L'interazione con le soluzioni e le molecole ancorate alla superficie interna del microcanale 10b sepolto produrrà una modulazione del canale del MOSFET che se rilevata permette di
30 studiare la modifica chimica in real-time dei fluidi che vengono fatti scorrere nel microcanale sepolto 10b.

Una applicazione di un transistor ISMOSFET realizzato con il metodo secondo l'invenzione è quella ad esempio per la detezione dell'ancoraggio del DNA per la determinazione dell'espressione genica.

5 Infatti ISFET (Ion sensitivity FET) realizzato il metodo secondo l'invenzione sono sensibili alle variazioni indotte da legami chimici tra le molecole e la superficie del microcanale sepolto 10b. Tale dispositivo permette, dopo una opportuna taratura, di studiare e rilevare variazioni di pH, di carica, legami molecolari, etc.

10 In conclusione il metodo secondo l'invenzione consente di realizzare strutture SOI da utilizzare nella realizzazione di circuiti elettronici veloci aventi costi contenuti che incidono sul prezzo finale del prodotto in modo trascurabile.

15 Tali substrati sono infatti realizzati solo con combinazione di tecniche diverse, quali l'attacco in wet delle superfici di silicio per la definizione di trench, l'attacco elettrochimico del silicio cristallino per la formazione del silicio poroso, lo sfruttamento della selettività rispetto al tipo e alla quantità di drogante del substrato cristallino di tale attacco, lo sfruttamento delle proprietà di auto organizzazione superficiale del silicio cristallino ed infine le crescite epitassiali.

20 Quindi secondo l'invenzione vengono realizzati dispositivi che combinano la tecnica di auto organizzazione superficiale del silicio cristallino con la successiva formazione di uno strato conduttivo, la formazione di uno strato 12 di silicio poroso selettiva in intorno alla cavità 10b ed successiva ossidazione dello stesso, il tutto attraverso le
25 cavità 10b sepolte già formate (microcanali) che permettono di realizzare uno strato sepolto di silicio poroso uniformemente attorno alle cavità 10b. Vantaggiosamente, lo strato 12 viene ossidato. Questo strato 12 può essere rimosso poi con un tempo di attacco molto breve. I substrati SOI così realizzati consentendo agevolmente quindi l'integrazione di
30 dispositivi elettronici convenzionali sulla porzione superficiale così formata.

RIVENDICAZIONI

1. Substrato (7) semiconduttore di tipo SOI comprendente almeno una cavità (10b, 10d) isolante sepolta realizzata secondo le seguenti fasi:
 - 5 - realizzare su detto substrato (7) semiconduttore una pluralità di trench (8, 10),
 - formare uno strato (7a, 9a) superficiale su detto substrato (7) semiconduttore in modo da chiudere superficialmente detta pluralità di trench (8, 10) formando allo stesso tempo detta almeno una cavità (10b) sepolta in corrispondenza dell'estremità di detti trench (8,10) distale dalla superficie,
 - 10 - formare un primo strato (9) di materiale semiconduttore su detto strato (7a, 9a) superficiale con la stessa concentrazione di detto substrato (7) semiconduttore in cui è realizzato almeno un trench (11) che è in comunicazione con detta almeno una cavità (10b) sepolta.
2. Substrato (7) semiconduttore secondo la rivendicazione 1 caratterizzato dal fatto che detto strato (7a) superficiale viene formato mediante una fase di annealing in atmosfera non ossidante su tutto detto substrato (7) semiconduttore.
- 20 3. Substrato (7) semiconduttore secondo la rivendicazione 1 caratterizzato dal fatto che detto strato (9a) superficiale viene formato mediante uno strato (9a) superficiale di materiale semiconduttore realizzato sul substrato (7).
- 25 4. Substrato (7) semiconduttore secondo la rivendicazione 3 caratterizzata dal fatto che detto strato (9a) superficiale di materiale semiconduttore è realizzato sul substrato (7) mediante epitassia.
5. Substrato (7) semiconduttore secondo la rivendicazione 1 caratterizzato dal fatto che detto primo strato (9) di materiale semiconduttore è realizzato tramite epitassia.

6. Substrato (7) semiconduttore secondo la rivendicazione 1 caratterizzato dal fatto che porzioni di detto substrato (7) semiconduttore che circondano detta almeno una cavità (10b) sepolta sono di uno strato (12) di silicio poroso.
- 5 7. Substrato (7) semiconduttore secondo la rivendicazione 5 caratterizzato dal fatto che detto strato (12) di silicio poroso viene ossidato formando uno strato dielettrico (12a) tra detto strato (7a, 9a) superficiale e una porzione inferiore di substrato (7) semiconduttore.
- 10 8. Substrato (7) semiconduttore secondo la rivendicazione 7 caratterizzato dal fatto che detto strato (12) di silicio poroso viene rimosso a formare una seconda cavità (10d) sepolta di ampiezza maggiore rispetto a detta almeno una cavità (10b) sepolta iniziale.
- 15 9. Membrana sospesa realizzata su un substrato (7) semiconduttore di un primo tipo di concentrazione e comprendente almeno una cavità (10b, 10d) isolante sepolta realizzata attraverso le seguenti fasi:
- realizzare su detto substrato (7) semiconduttore una pluralità di trench (8, 10),
 - effettuare una fase di annealing in atmosfera non ossidante su tutto detto substrato (7) semiconduttore fino a realizzare uno strato (7a) superficiale su detto substrato (7) semiconduttore in modo da chiudere superficialmente detta pluralità di trench (8, 10) formando allo stesso tempo detta almeno una cavità (10b) sepolta in corrispondenza dell'estremità di detti trench (8,10) distale dalla superficie, detto strato (7a) superficiale a formare detta membrana.
- 20
- 25 10. Membrana sospesa realizzata su un substrato (7) semiconduttore secondo la rivendicazione 9 caratterizzata dal fatto che su detto strato (7a) superficiale con concentrazione diversa rispetto a detto substrato (7) semiconduttore è formato un primo strato (9) di materiale semiconduttore.
- 30 11. Membrana sospesa realizzata su un substrato (7) semiconduttore secondo la rivendicazione 10 caratterizzata dal fatto che detto primo

strato (9) è uno strato epitassiale.

5 12. Membrana sospesa realizzata su un substrato (7) semiconduttore secondo la rivendicazione 11 caratterizzata dal fatto che una porzione di detto substrato (7) semiconduttore posto in corrispondenza di detta almeno una cavità (10b) sepolta è uno strato (12) di silicio poroso.

13. Microfono integrato su un substrato (7) semiconduttore caratterizzato di comprendere una membrana realizzata secondo una qualsiasi delle rivendicazioni da 9 a 12.

10 14. Transistore MOSFET integrato su un substrato (7) semiconduttore di un primo tipo di concentrazione e comprendente almeno una cavità (10b, 10d) isolante sepolta realizzata attraverso le seguenti fasi:

- realizzare su detto substrato (7) semiconduttore una pluralità di trench (8, 10),

15 - effettuare una fase di annealing in atmosfera non ossidante su tutto detto substrato (7) semiconduttore fino a realizzare uno strato (7a) superficiale su detto substrato (7) semiconduttore in modo da chiudere superficialmente detta pluralità di trench (8, 10) formando allo stesso tempo detta almeno una cavità (10b) sepolta in corrispondenza
20 dell'estremità di detti trench (8,10) distale dalla superficie, detta almeno una cavità (10b, 10d) isolante sepolta a formare almeno parte della regione di canale di detto transistore MOSFET.

25 15. Transistore MOSFET integrato su un substrato (7) semiconduttore secondo la rivendicazione 14 caratterizzato dal fatto che su detto strato (7a) superficiale con la stessa concentrazione di detto substrato (7) semiconduttore è formato un primo strato (9).

16. Transistore MOSFET integrato su un substrato (7) semiconduttore secondo la rivendicazione 15 caratterizzato dal fatto che detto primo strato (9) è realizzato tramite epitassia.

30 17. Transistore MOSFET integrato su un substrato (7)

semiconduttore secondo la rivendicazione 14 caratterizzato dal fatto che una porzione di detto substrato (7) semiconduttore posto in corrispondenza di detta almeno una cavità (10b) sepolta è uno strato (12) di silicio poroso.

- 5 18. Metodo per fabbricare un substrato (7) semiconduttore di un primo tipo di concentrazione e comprendente una almeno una cavità (10b, 10d) isolante sepolta, comprendente le seguenti fasi:

- realizzare su detto substrato (7) semiconduttore una pluralità di trench (8, 10),

- 10 - realizzare uno strato (7a, 9a) superficiale su detto substrato (7) semiconduttore in modo da chiudere superficialmente detta pluralità di trench (8, 10) formando allo stesso tempo detta almeno una cavità (10b) sepolta in corrispondenza dell'estremità di detti trench (8,10) distale dalla superficie.

- 15 19. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 18 caratterizzato dal fatto che detto strato (7a) superficiale viene formato mediante una fase di annealing in atmosfera non ossidante su tutto detto substrato (7) semiconduttore.

- 20 20. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 18 caratterizzato dal fatto che detto strato (9a) superficiale viene formato mediante uno strato (9a) superficiale di materiale semiconduttore realizzato sul substrato (7).

- 25 21. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 18 caratterizzato dal fatto che detto strato (9a) superficiale di materiale semiconduttore è realizzato sul substrato (7) mediante epitassia.

22. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 18 caratterizzato dal fatto di comprendere le seguenti fasi:

- 30 - formare un primo strato (9) su detto strato (7a) superficiale con la

stessa concentrazione di detto substrato (7) semiconduttore.

23. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 20 caratterizzato dal fatto che in detto primo strato (9) viene formato almeno un trench (11) che è in comunicazione con detta
5 almeno una cavità (10b) sepolta.

24. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 18 caratterizzato dal fatto che detto substrato (7) semiconduttore viene sottoposto ad un processo elettroerosivo per trasformare una porzione di detto substrato (7) semiconduttore posto in
10 corrispondenza di detta almeno una cavità (10b) sepolta in uno strato (12) di silicio poroso.

25. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 18 caratterizzato dal fatto che detto strato (12) di silicio poroso viene sottoposto ad un processo ossidante per realizzare uno
15 strato dielettrico tra detto strato (7a) superficiale e una porzione inferiore di substrato (7) semiconduttore.

26. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 24 caratterizzato dal fatto che detto strato (12) di silicio poroso viene rimosso a formare una seconda cavità (10d) sepolta di
20 ampiezza maggiore rispetto a detta almeno una cavità (10b) sepolta iniziale.

27. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 18 caratterizzato dal fatto che detta pluralità di trench (9) sono realizzati da scanalature tra loro parallele nel substrato (7).

28. Metodo per fabbricare un substrato (7) semiconduttore secondo la rivendicazione 18 caratterizzato dal fatto che detta pluralità di trench (10) sono realizzati da aperture a sviluppo cilindrico nel substrato (7).

RIASSUNTO

Si descrive un metodo per fabbricare un substrato (7) semiconduttore di un primo tipo di concentrazione comprendente almeno una cavità (10b, 10d) isolante sepolta, comprendente le seguenti fasi:

- 5 - realizzare sul substrato (7) semiconduttore una pluralità di trench (8, 10),
- 10 - realizzare uno strato (7a, 9a) superficiale sul substrato (7) semiconduttore in modo da chiudere superficialmente la pluralità di trench (8, 10) formando allo stesso tempo almeno una cavità (10b) sepolta in corrispondenza dell'estremità dei trench (8,10) distale dalla superficie.

Si descrivono inoltre dispositivi realizzati con il metodo secondo l'invenzione.

(Fig. 14)

15

1/14

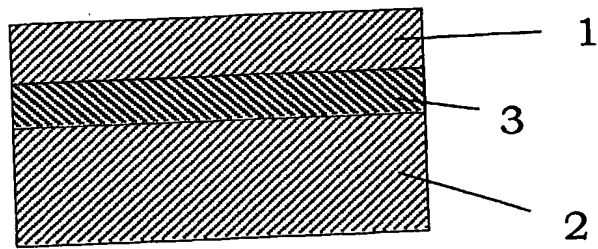


FIG. 1

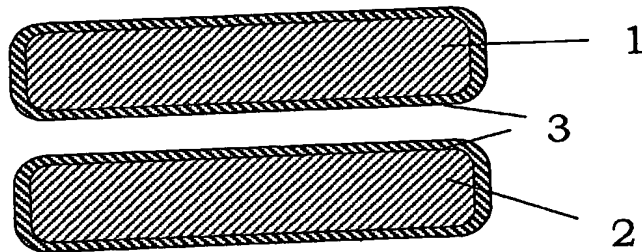


FIG. 2

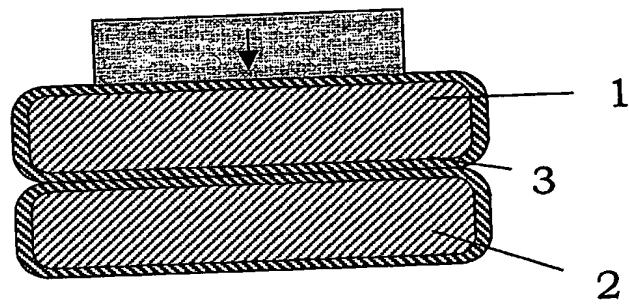


FIG. 3

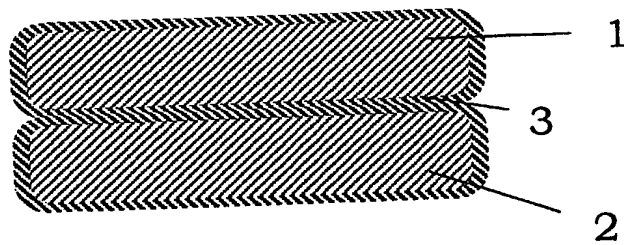


FIG. 4

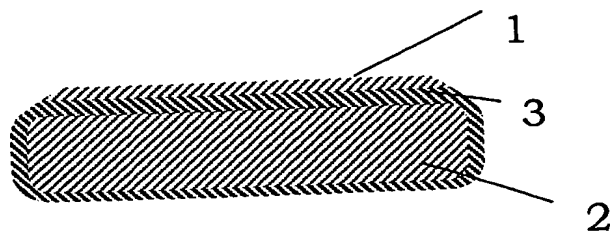


FIG. 5

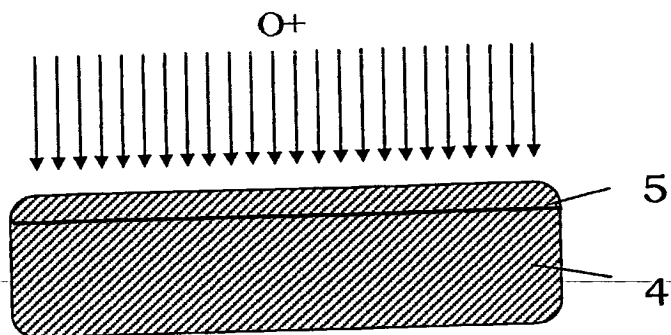


FIG. 6

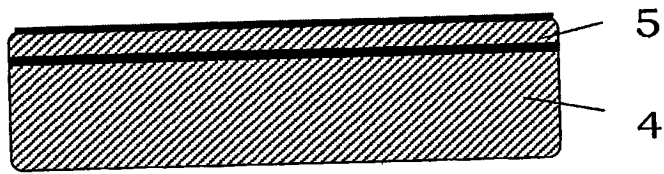


FIG. 7

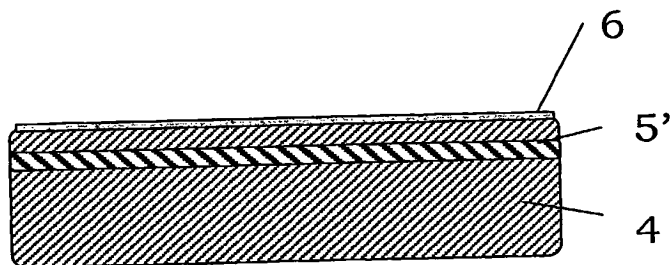


FIG. 8

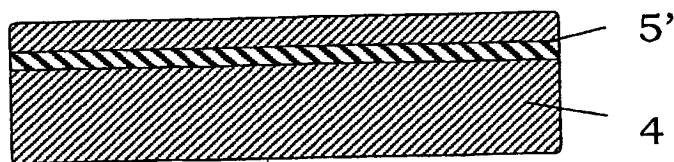
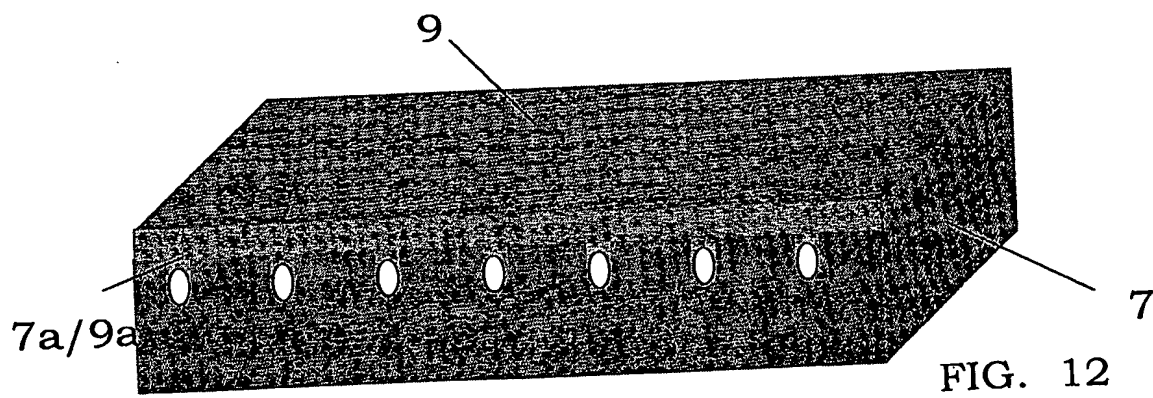
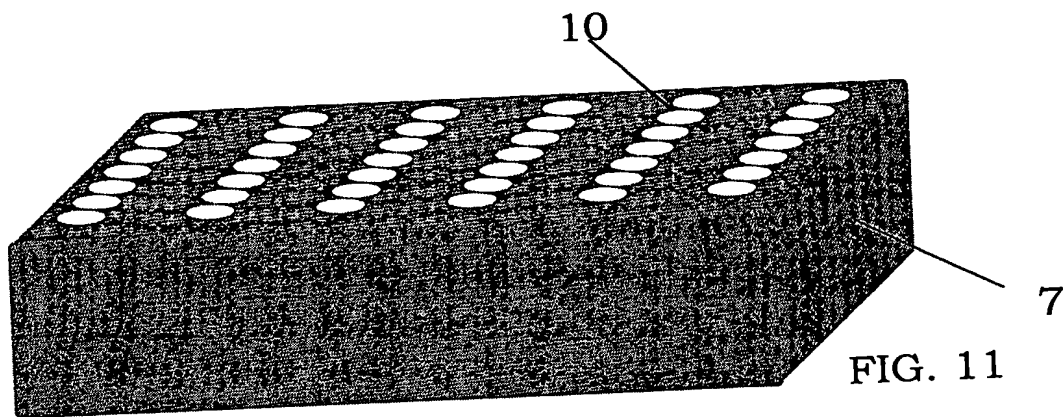
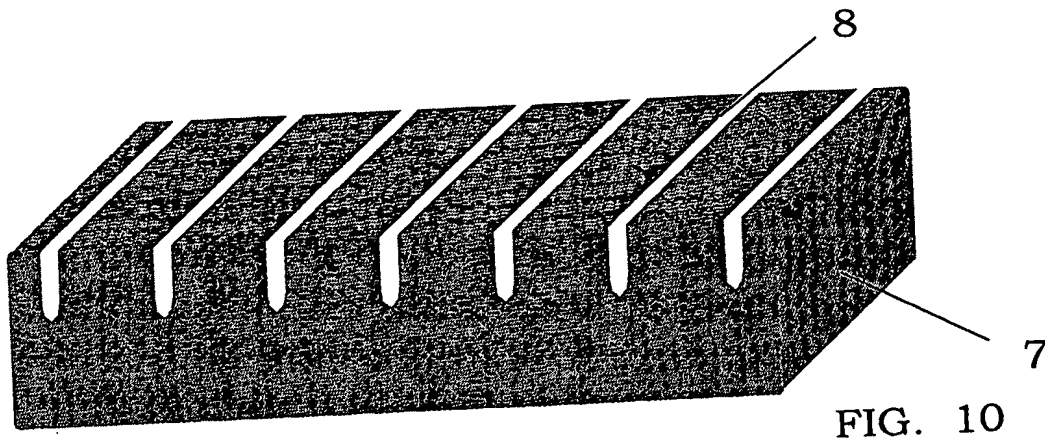


FIG. 9

3/14



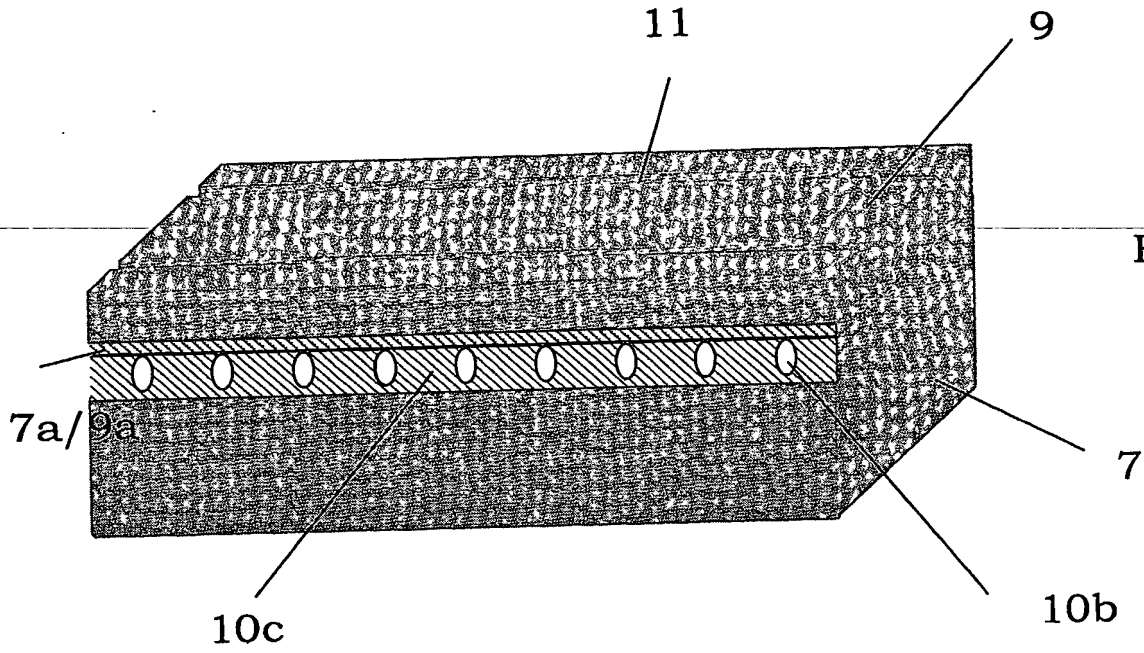


FIG. 13

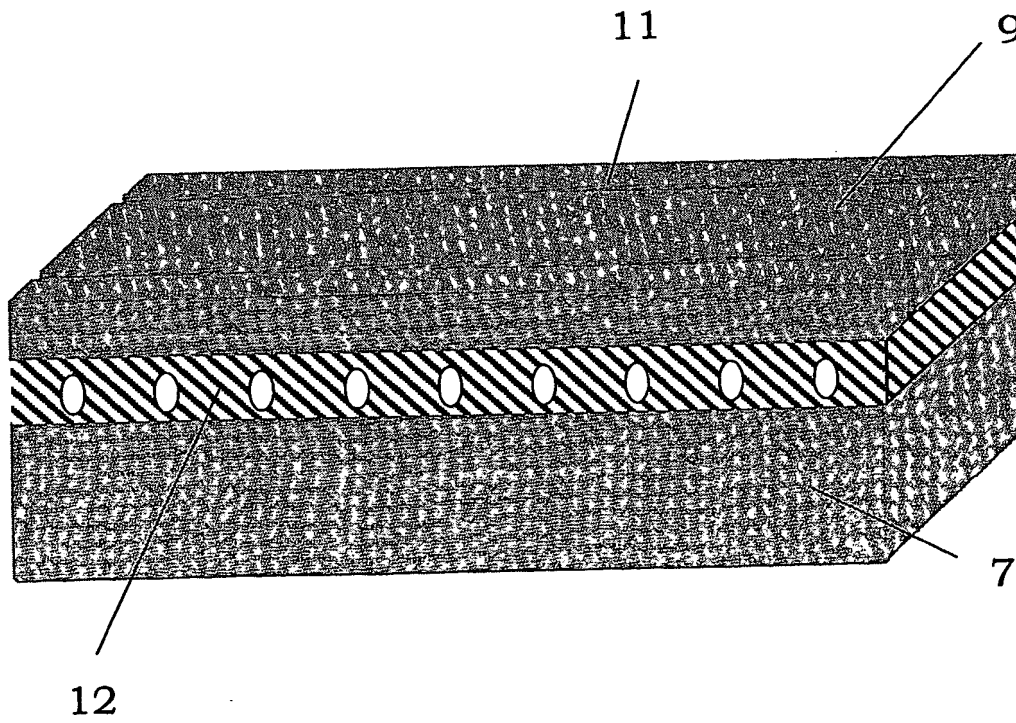


FIG. 14

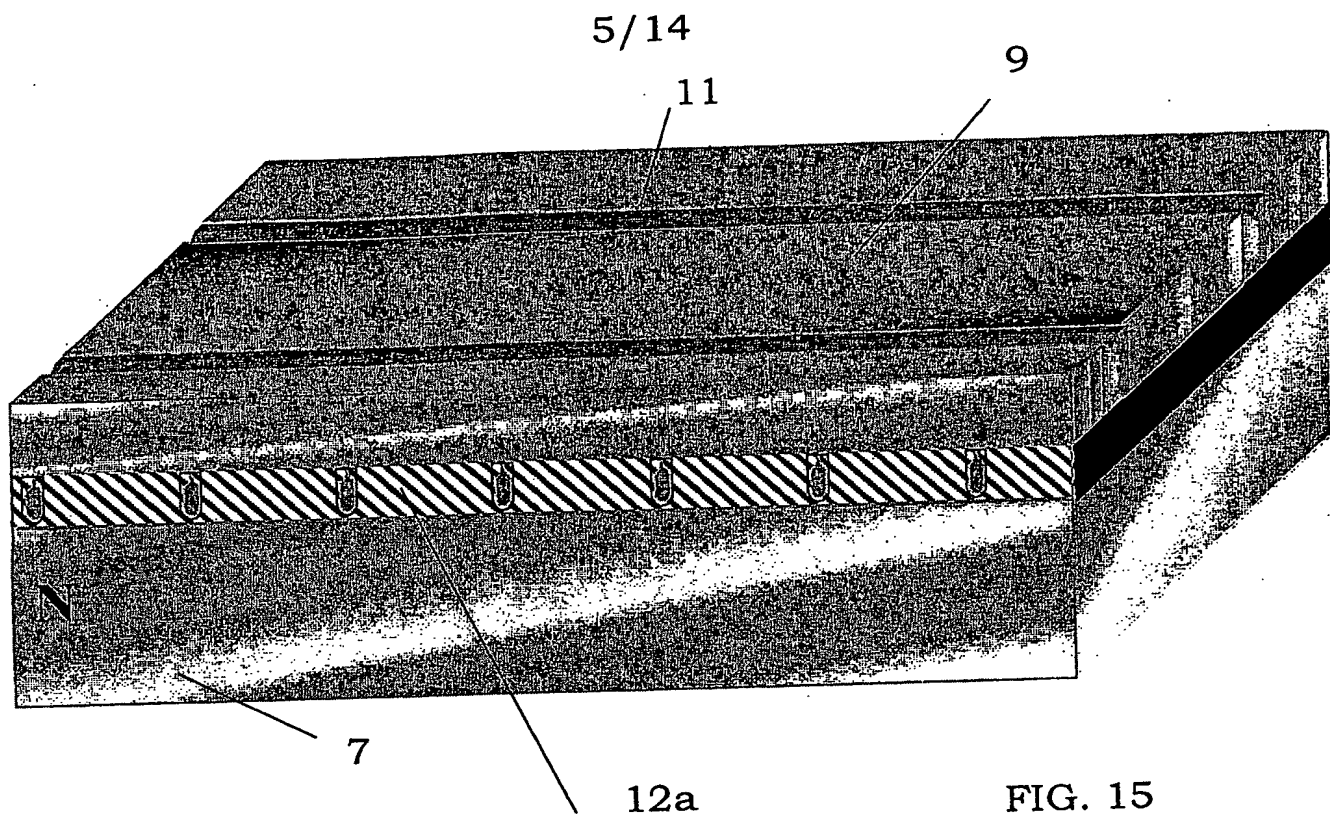


FIG. 15

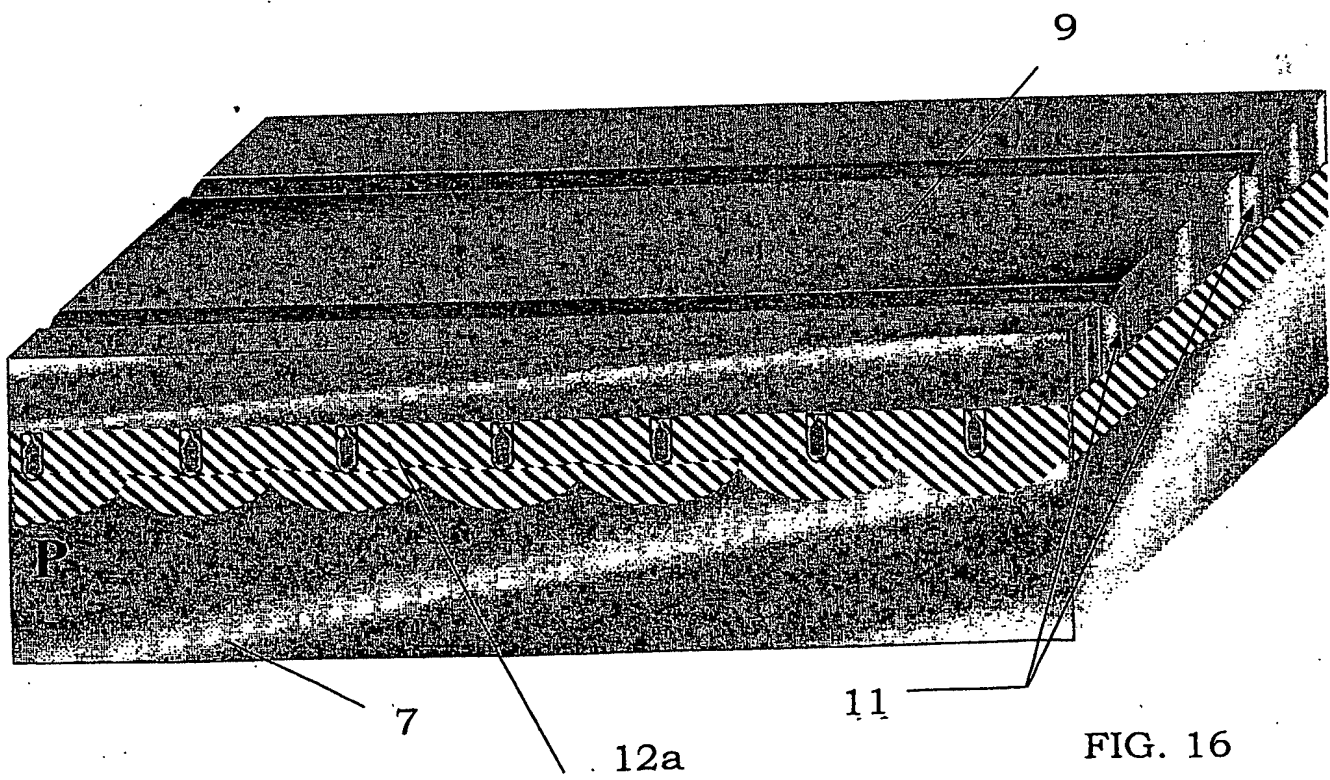
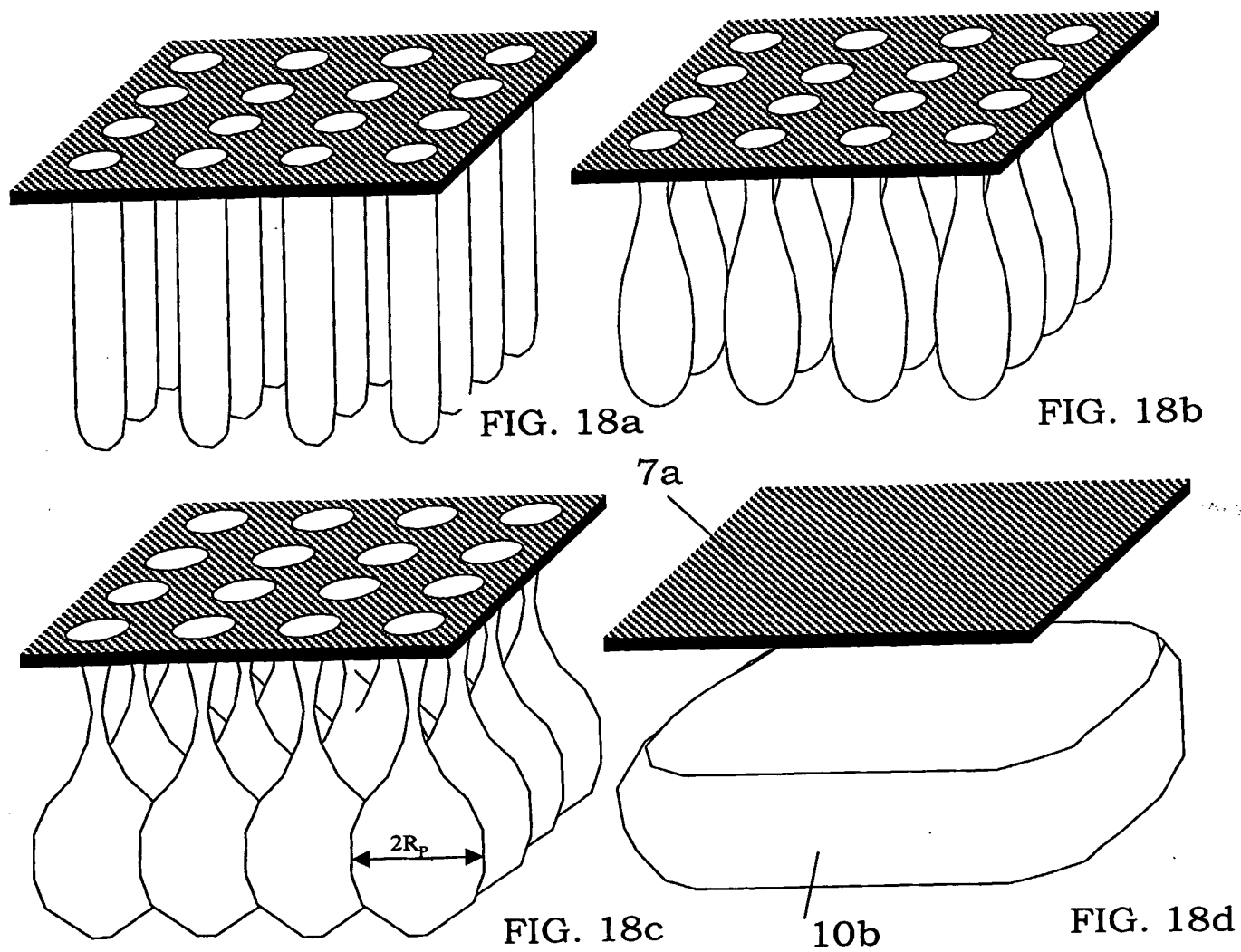
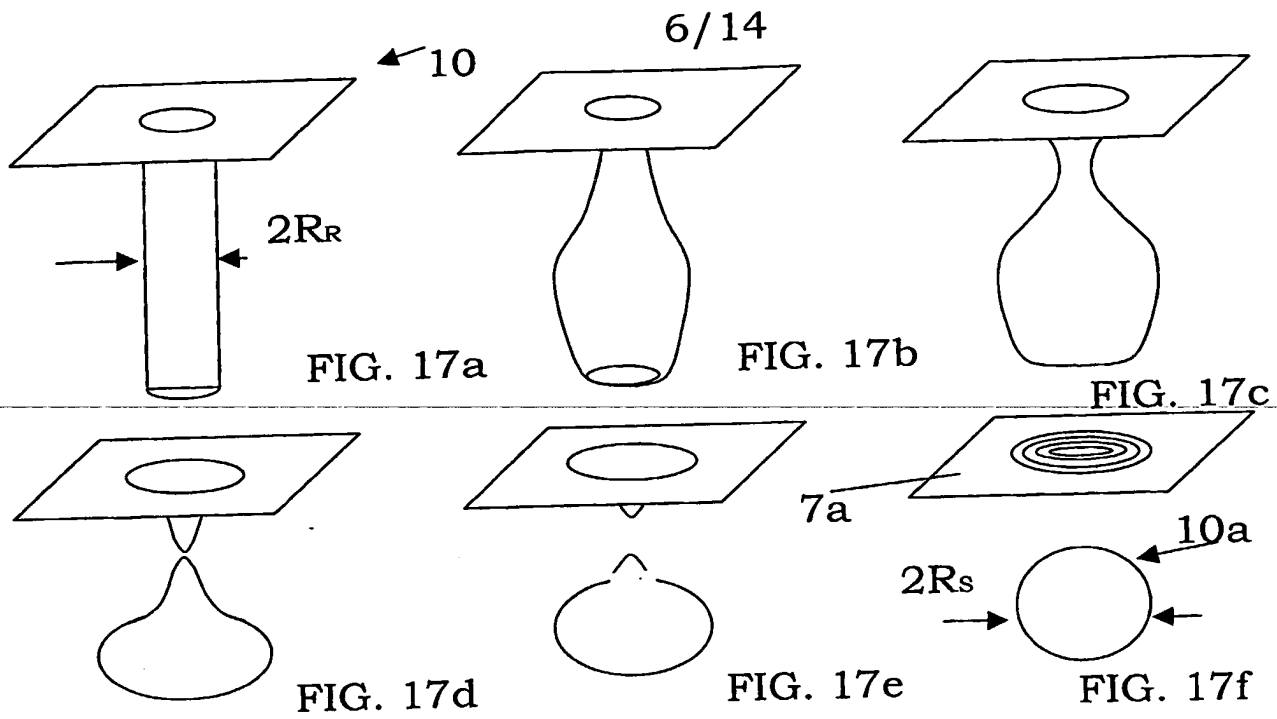


FIG. 16



7/14

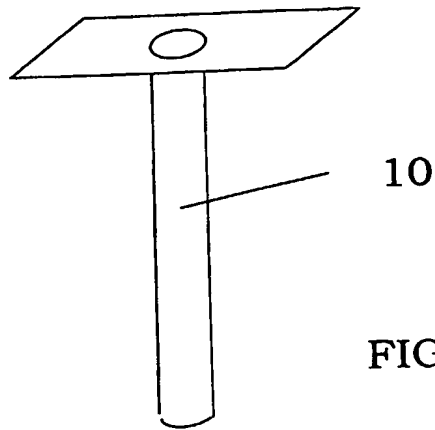


FIG. 19

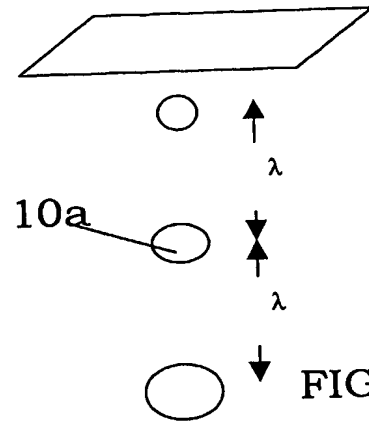


FIG. 20

Punti di
apertura dei
trench del 1°
livello

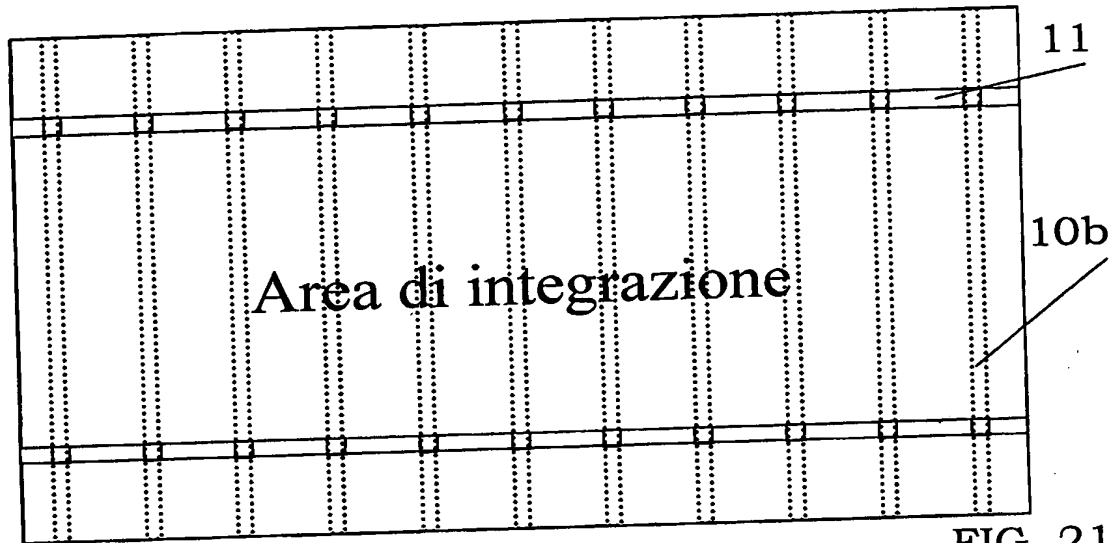


FIG. 21

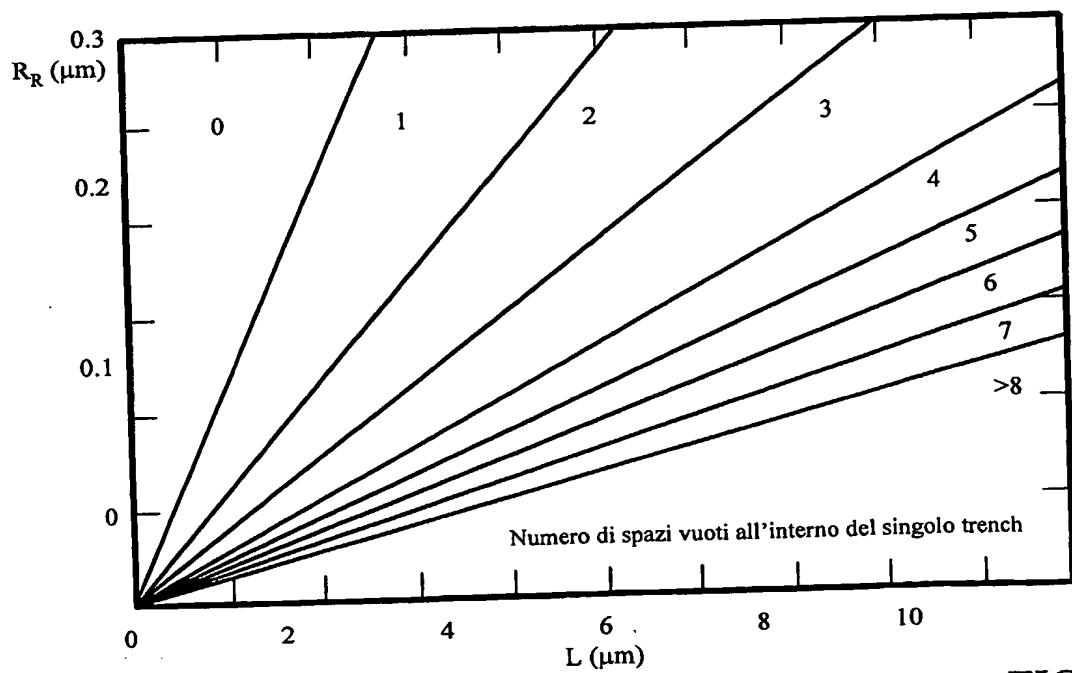


FIG. 22

8/14

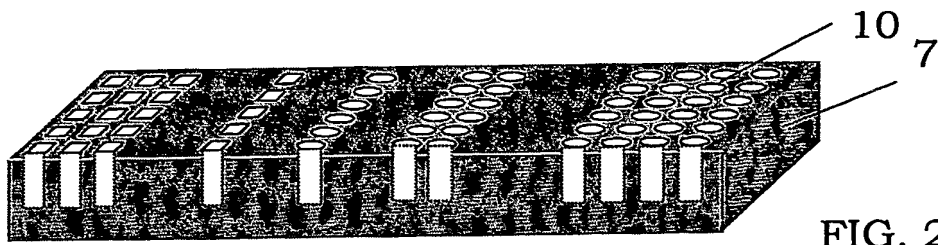


FIG. 23

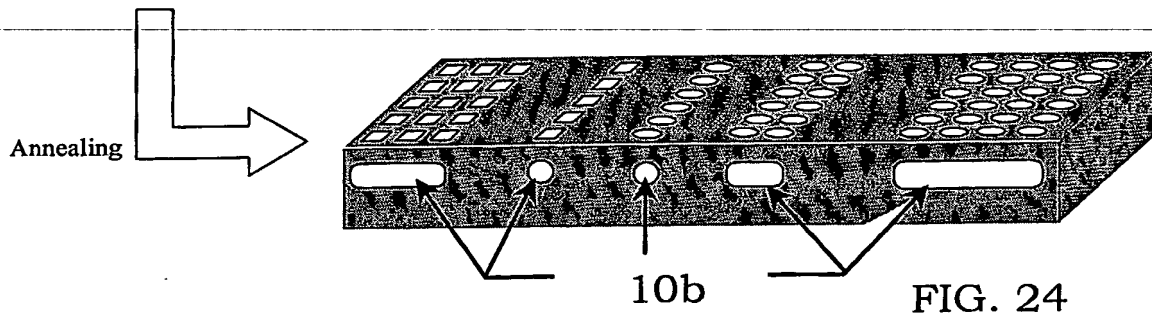


FIG. 24

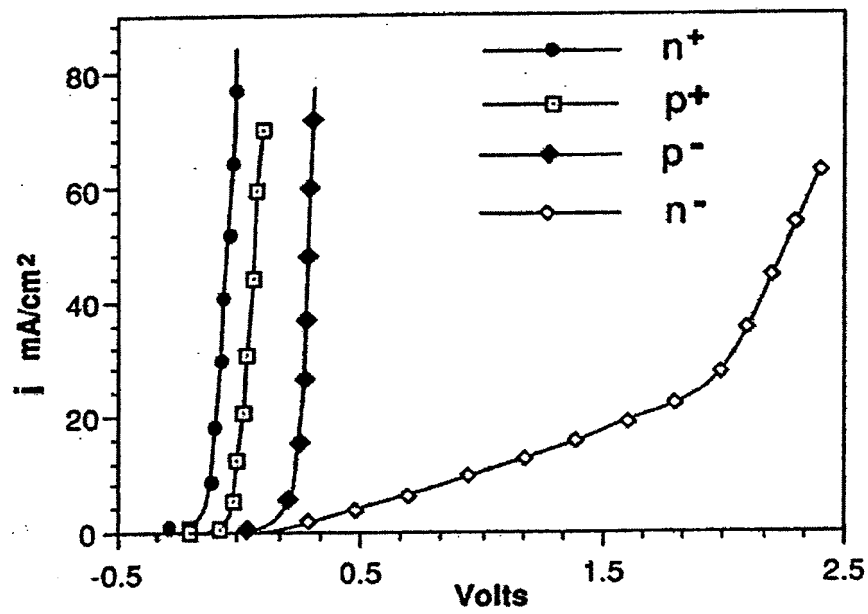


FIG. 25

9/14

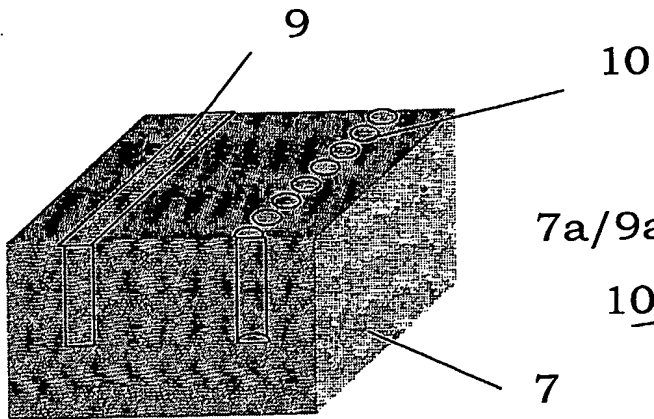


FIG. 26a

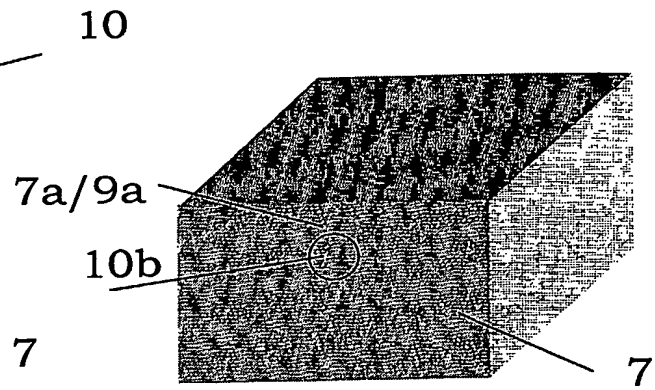


FIG. 26b

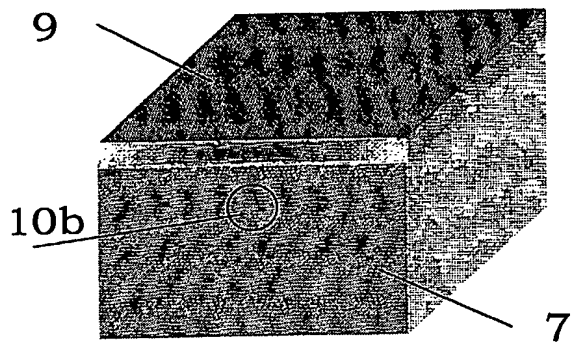


FIG. 26c

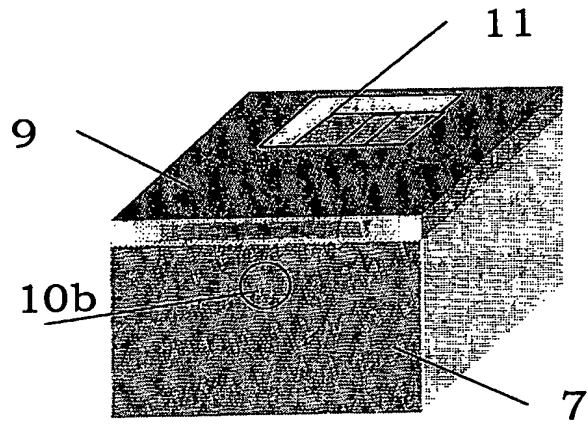


FIG. 26d

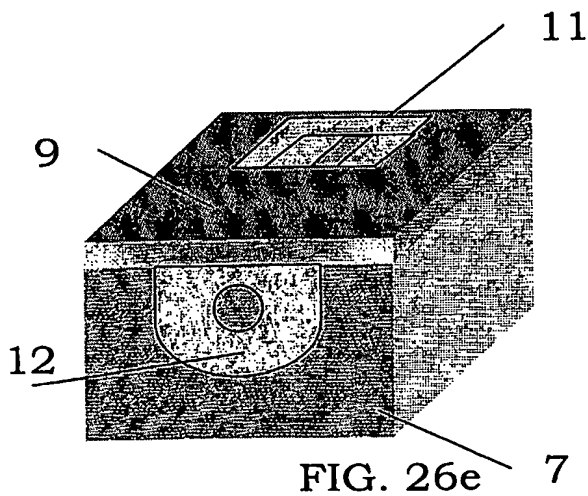


FIG. 26e

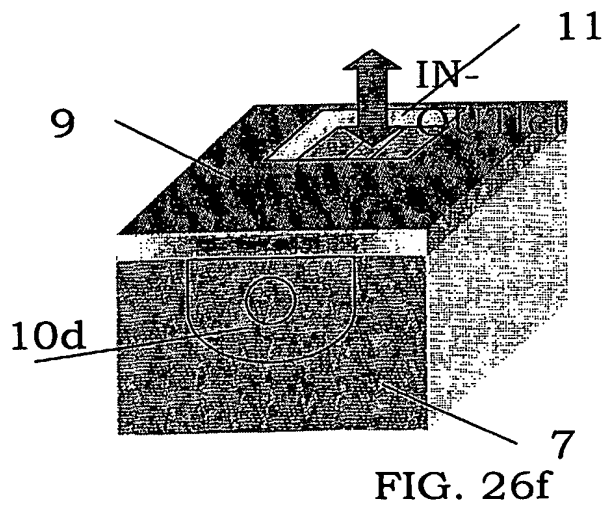


FIG. 26f

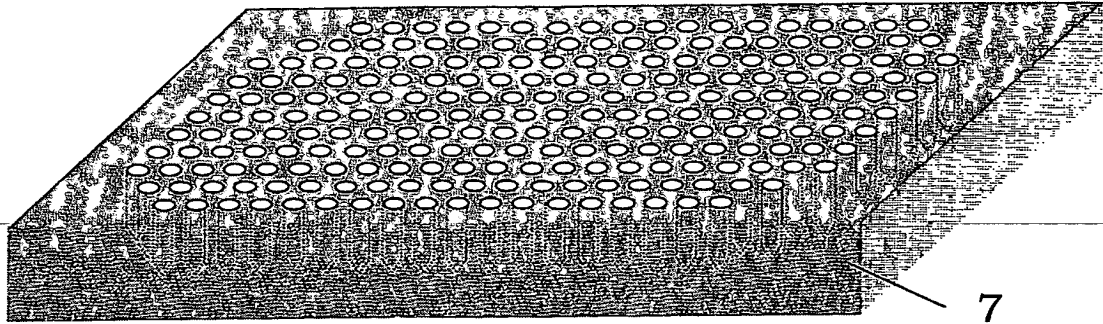


FIG. 27a

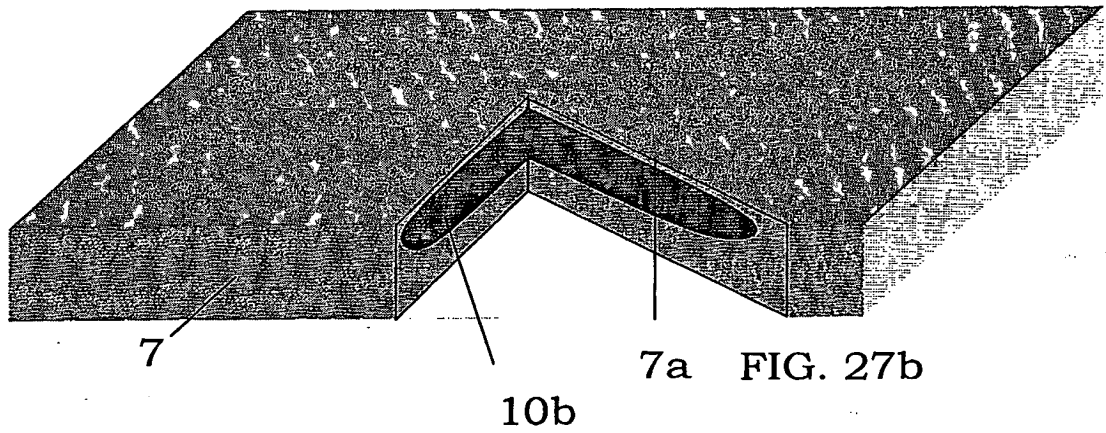


FIG. 27b

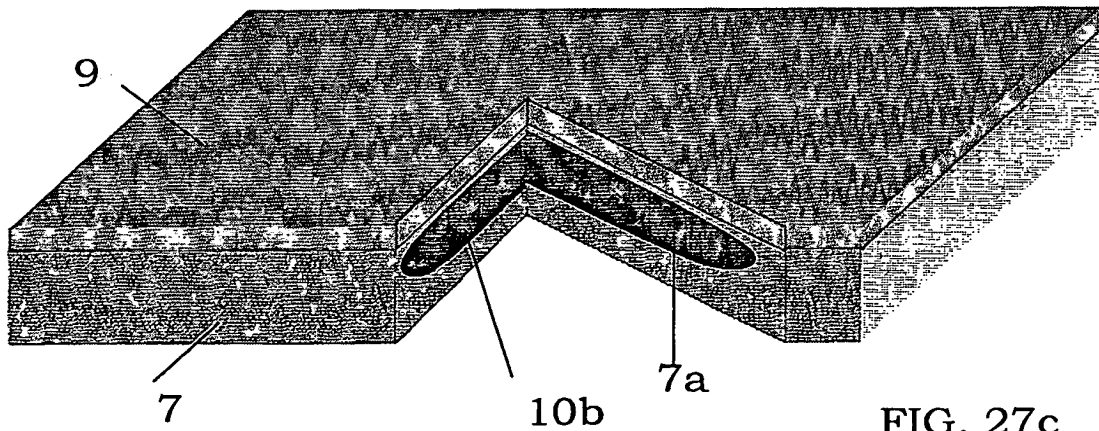
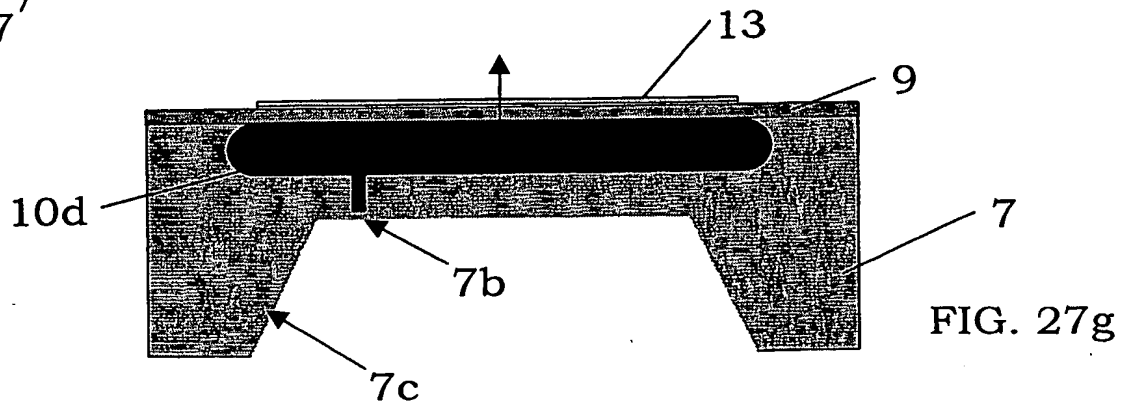
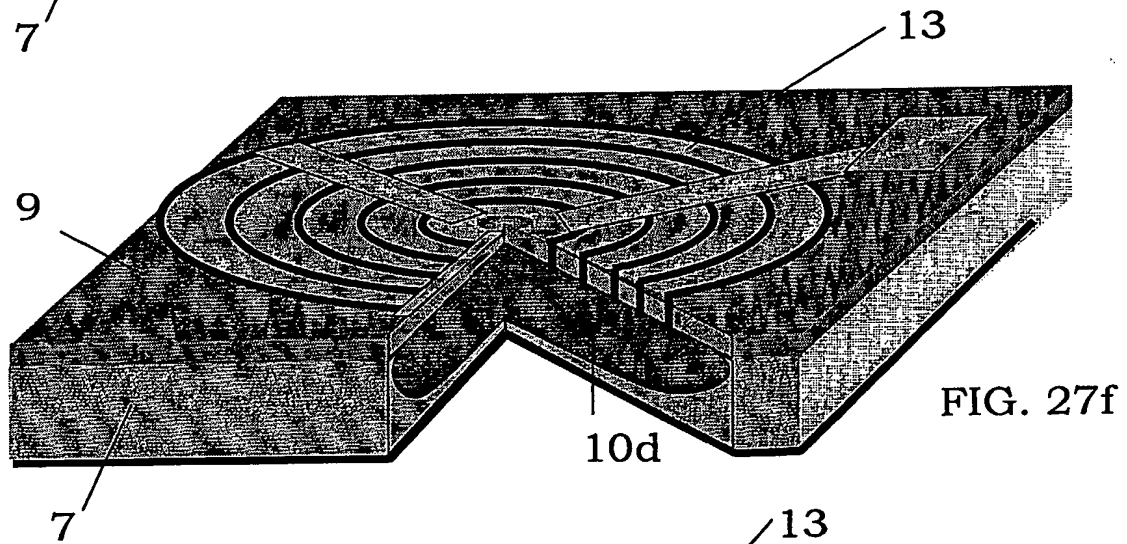
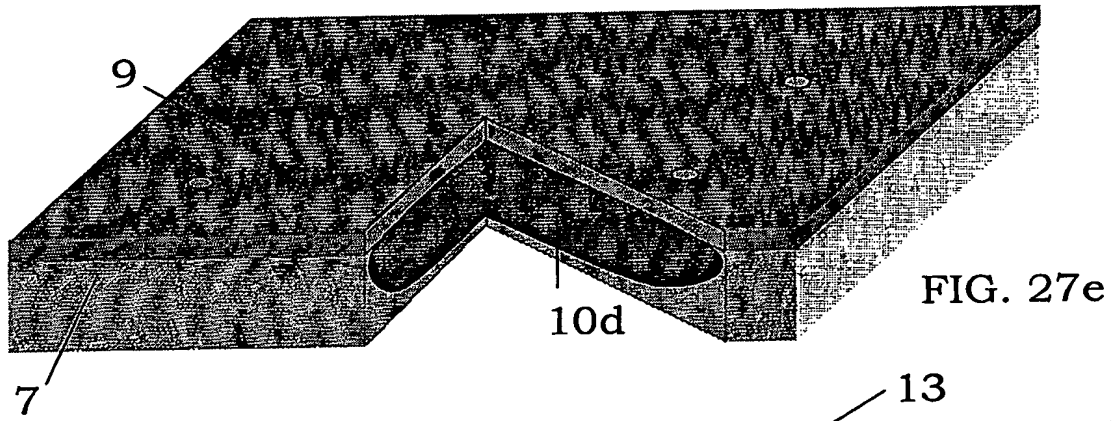
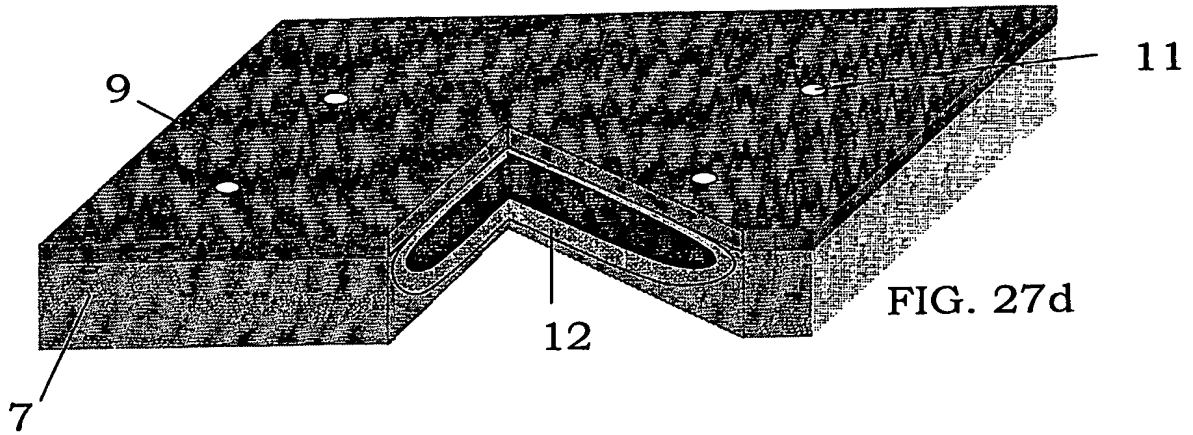


FIG. 27c



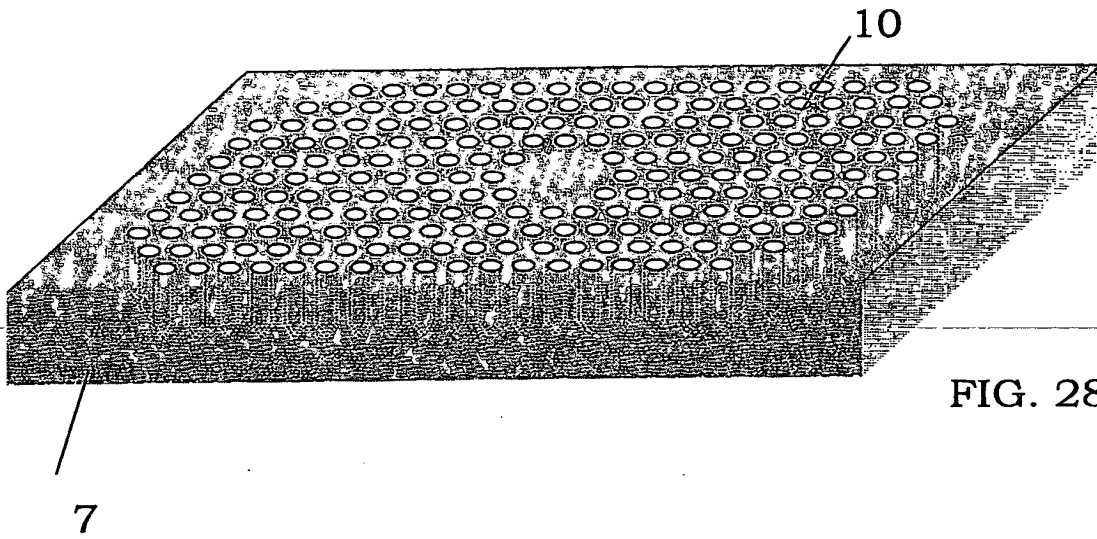


FIG. 28a

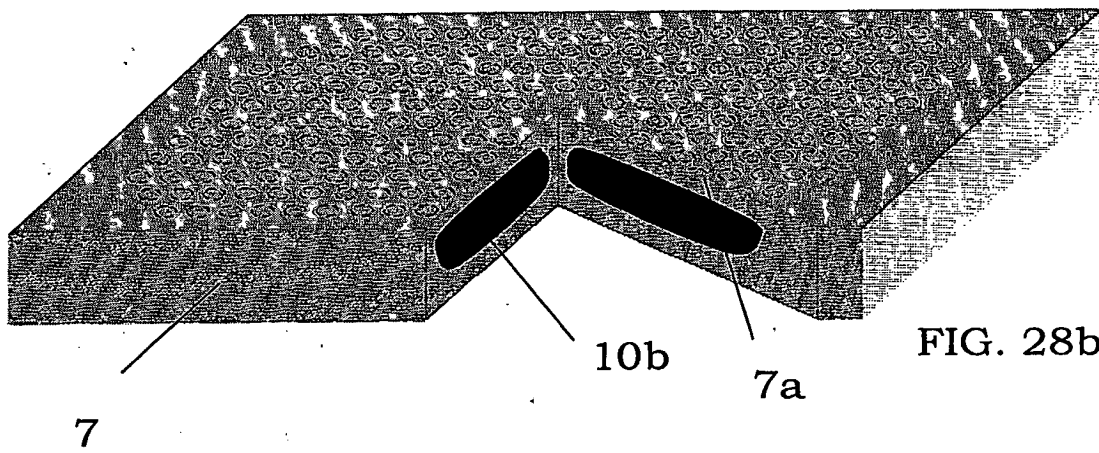


FIG. 28b

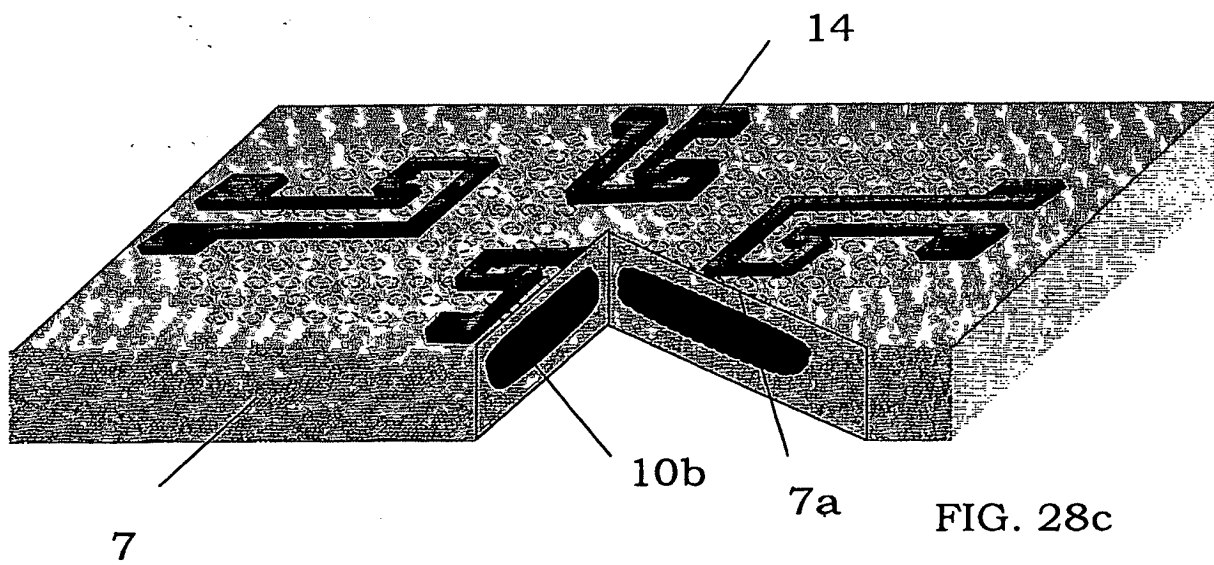


FIG. 28c

14/14

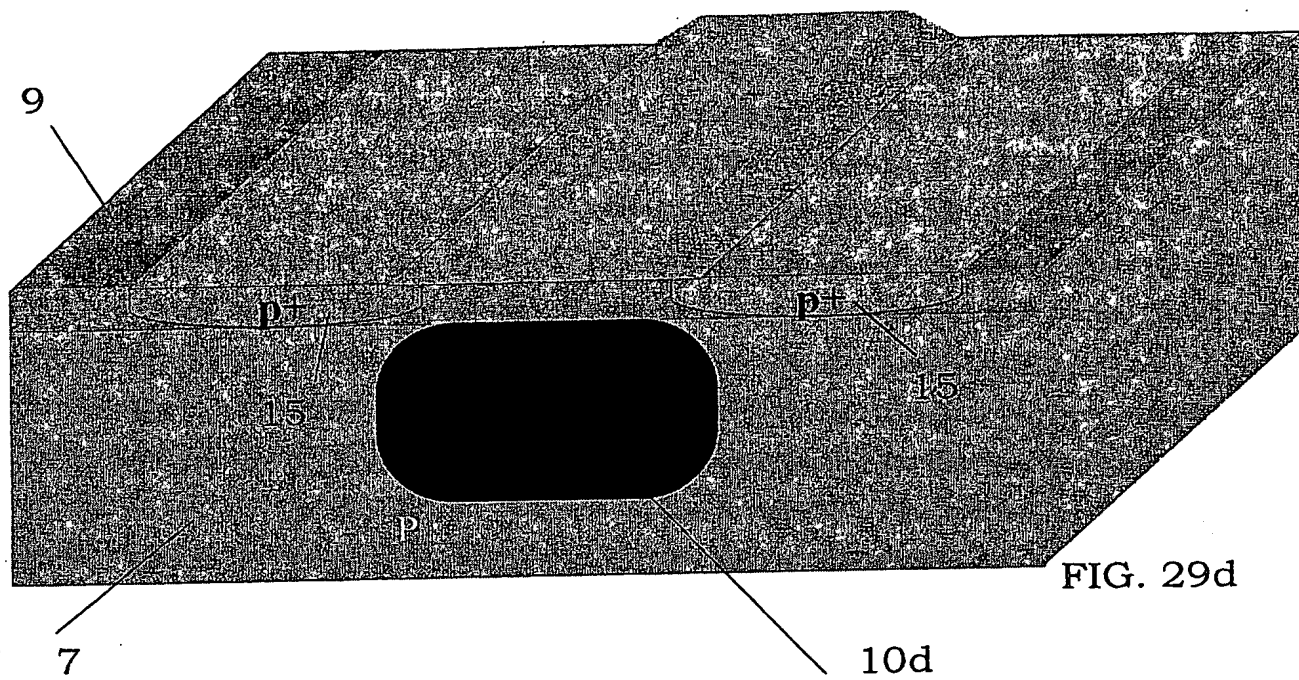


FIG. 29d

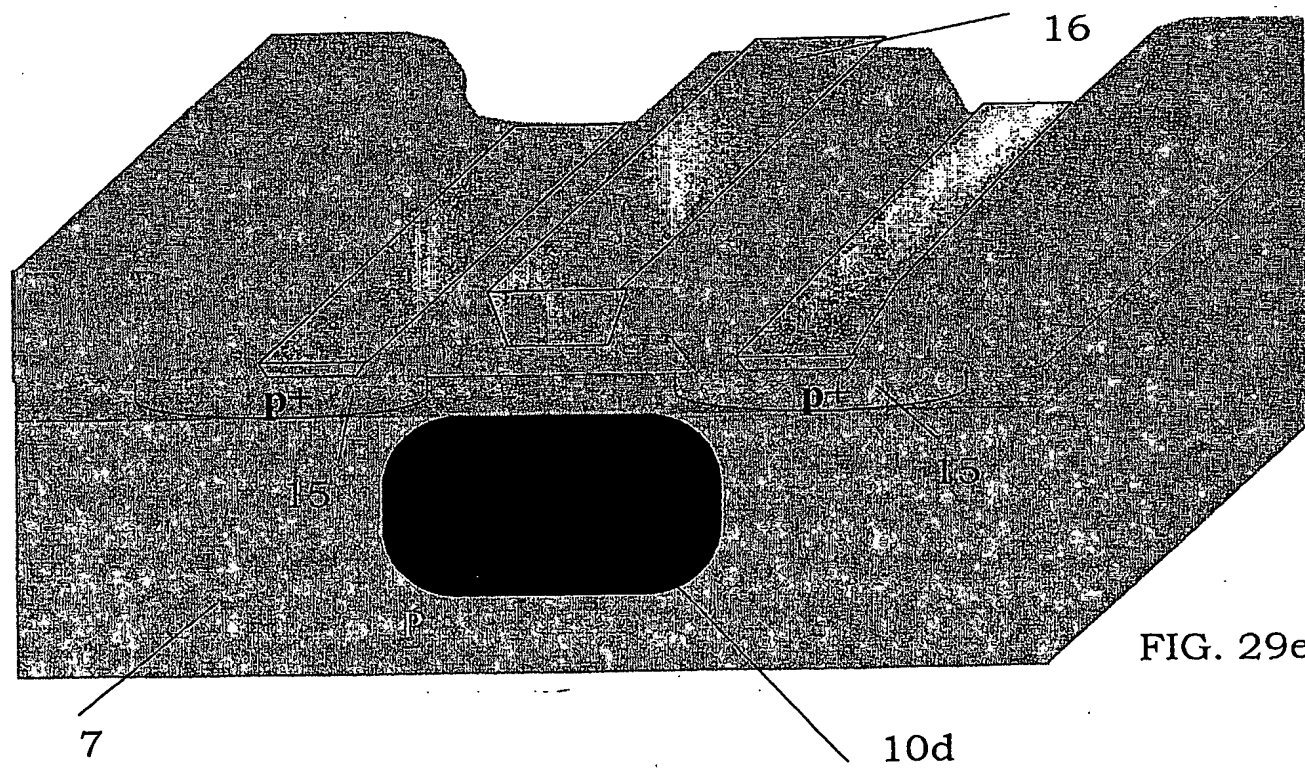


FIG. 29e

